

Request Form for Translation

Translation Branch
The world of foreign prior art to you.

U. S. Serial No. : 09/316580

PTO 2001-1850

Requester's Name: Steven Loke

S.T.I.C. Translations Branch

Phone No. : 308-4920

Fax No. : _____

Office Location: CP4-4A13

Art Unit/Org. : 2811

Group Director: Rolf Hille

Is this for Board of Patent Appeals? Yes

Date of Request: 3/12/01

Date Needed By: 4/2/01

(Please do not write ASAP-indicate a specific date)

Highly Confidential
Searching

Patents

Phone: 308-0881
Fax: 308-0989
Location: Crystal Plaza 3/4
Room 2C01

SPE Signature Required for RUSH:

Document Identification (Select One):

(Note: Please attach a complete, legible copy of the document to be translated to this form)

1. ☒ Patent Document No. 02-206118
Language Japanese
Country Code JP
Publication Date 8/15/90
(filled by STIC)
2. ☐ Article Author _____
Language _____
Country _____
3. ☐ Other Type of Document _____
Country _____
Language _____

RECEIVED
MAR 3 2001
DIVISION OF
TRANSLATIONS
USPTO SCIENTIFIC LIBRARY

To assist us in providing the most cost effective service, please answer these questions:

Will you accept an English Language Equivalent?

No (Yes/No)

Will you accept an English abstract?

No (Yes/No)

Would you like a consultation with a translator to review the document prior to having a complete written translation?

No (Yes/No)

Document Delivery (Select Preference):

- ☒ Delivery to nearest EIC/Office Date: 3/28 (STIC Only)
☐ Call for Pick-up Date: _____ (STIC Only)
☐ Fax Back Date: _____ (STIC Only)

STIC USE ONLY

Copy/Search

Processor: GP
Date assigned: 3/13
Date filled: 4
Equivalent found: _____ (Yes/No)

Doc. No.: _____
Country: _____

Remarks: _____

Translation

Date logged in: 3/13
PTO estimated words: 3377
Number of pages: _____
In-House Translation Available: _____
In-House: _____ Contractor: _____
Translator: _____ Name: A/S
Assigned: _____ Priority: K
Returned: _____ Sent: 3-14-01
Returned: 3/8

KLT

02-206118

Aug. 15, 1990
SEMICONDUCTOR ELEMENT

L5: 1 of 1

INVENTOR: HIROYUKI SUGIMOTO, et al. (4)
ASSIGNEE: HITACHI LTD, et al. (60)
APPL NO: 01-25801
DATE FILED: Feb. 6, 1989
PATENT ABSTRACTS OF JAPAN
ABS GRP NO: E0996
ABS VOL NO: Vol. 14, No. 496
ABS PUB DATE: Oct. 29, 1990
INT-CL: H01L 21/314; H01L 21/205; H01L 21/31

ABSTRACT:

PURPOSE: To prevent a heat-dissipating property from being lowered while an SOI (silicon on insulator) structure is being held by a method wherein a diamond which is insulating and whose heat-conducting property is good is used instead of SiO₂ as an insulator layer.

CONSTITUTION: A diamond is used as an insulator layer 2 instead of SiO₂; the insulating layer 2 is formed on a silicon substrate 1; a silicon layer 3 having an electronic circuit is pasted on it. A thermal conductivity of the SiO₂ is 0.1 J/cmKs and that of the diamond is 23 J/cmKs; that of the diamond is large by 200 times or higher; this directly contributes toward a heat-dissipating property of an element. In addition, this effect becomes much more large when a metal such as nickel or the like is used as the substrate on which the diamond is grown. Thereby, it is possible to obtain a semiconductor element of an SOI structure whose heat-dissipating property is good.

PTO 01-1850

CY=JP DATE=19900815 KIND=A
PN=02206118

SEMICONDUCTOR ELEMENT
[HANDOTAI SOSHI]

Hiroyuki Sugimoto, et al.

UNITED STATES PATENT AND TRADEMARK OFFICE
Washington, D.C. March 2001

Translated by: FLS, Inc.

PUBLICATION COUNTRY	(10):	JP
DOCUMENT NUMBER	(11):	02206118
DOCUMENT KIND	(12):	A
PUBLICATION DATE	(43):	19900815
PUBLICATION DATE	(45):	
APPLICATION NUMBER	(21):	01025801
APPLICATION DATE	(22):	19890206
ADDITION TO	(61):	
INTERNATIONAL CLASSIFICATION	(51):	H01L 21/314; H01L 21/305; H01L 21/31
DOMESTIC CLASSIFICATION	(52):	
PRIORITY COUNTRY	(33):	
PRIORITY NUMBER	(31):	
PRIORITY DATE	(32):	
INVENTOR	(72):	SUGIMOTO, HIROYUKI, ET AL.
APPLICANT	(71):	HITACHI LTD.
TITLE	(54):	SEMICONDUCTOR ELEMENT
FOREIGN TITLE	[54A]:	HANDOTAI SOSHI

Specifications

1. (Title of the Invention)

Semiconductor Element

2. (Claims)

1. A semiconductor element having an SOI structure; said semiconductor element characterized by an insulator layer comprising diamond.
2. The semiconductor element of claim 1 characterized by the aforesaid diamond insulator layer being formed on silicon in a vapor phase growth method.
3. The semiconductor element of claim 1 characterized by the aforesaid diamond insulator layer being formed on a metal or alloy on which diamond is formable in a vapor phase growth method.
4. The semiconductor element of claim 1, 2 or 3 characterized by a silicon layer, which forms a circuit, being a silicon single crystal layer which is laminated on the insulator layer comprising diamond.
5. The semiconductor element of claim 1, 2 or 3 characterized by a silicon layer, which forms a circuit, being formed by laminating the silicon layer formed on the diamond insulator layer in a vapor phase growth method to a silicon single crystal.
6. A method for manufacturing the semiconductor element of claim 1, 2 or 3 characterized by forming the diamond insulator layer on a substrate in a vapor phase growth method, polishing this smoothly and subsequently laminating a silicon single crystal on

this, and forming an electronic circuit on the aforesaid silicon single crystal.

7. A method for manufacturing the semiconductor element of claim 1 characterized by forming the diamond insulator layer on a substrate in a vapor phase growth method, polishing it smoothly and subsequently forming a silicon layer on that in a vapor phase growth method, laminating a silicon single crystal on this and further, forming an electronic circuit on the aforesaid silicon single crystal.

8. A method for manufacturing the semiconductor element of claim 1 characterized by forming the diamond insulator layer on a substrate in a vapor phase growth method, forming a silicon layer on that in a vapor phase growth method and subsequently polishing this surface smoothly, laminating a silicon single crystal on this, and furthermore, forming an electronic circuit on the aforesaid silicon single crystal.

9. The semiconductor element of claim 1, 2 or 3 characterized by the semiconductor element being a memory element.

3. Detailed Specifications

(Field of Industrial Utilization)

This invention pertains to a silicon semiconductor element, and in particular, a semiconductor element having an SOI (silicon on insulator) structure.

(Prior Art)

The fact that a so-called SOI element, wherein a silicon circuit layer, which is several μm thick, is formed on an

insulator, and has special feature in that it is more outstanding in high-speed operability and radiation resistance, and latch-up arises more difficultly than with an element having a silicon layer of the usual thickness is denoted in "SOS Devices Taking a Leading Role With Ics"(Hirano, et al.: Nikkei Electronics, pg. 50, Dec., 16, 1974), etc.

Normally, this element is such that an SiO_2 oxidation film is formed on a silicon substrate, a silicon layer is epitaxially grown on this in a vapor phase growth method, such as CVD, and furthermore, a circuit is formed on this epitaxial silicon layer. However, in this case, the crystallinity of the epitaxial silicon layer was poor, which has become the largest bottleneck from the standpoint of SOI element development.

The technology therein for directly joining silicon together or SiO_2 together has become widespread recently. After joining extremely pure silicon or SiO_2 together with a high degree of flatness in a method in which a hydrophilic treatment or the like is carried out on a surface, they are overlapped and heated, or high voltage is further applied, etc. Then, the fact that SOI development is advancing by using this direct joining method was denoted in "Silicon on Insulator by Bonding and Etch-Back", IEEE International Electron Device Meeting Technical Digest, p. 684, Dec. 1985 by Lasky, et al., "Wafer Lamination Technology", Nikkei Microelectronics, pg. 82, March, 1988, etc.

That is, oxide films comprising SiO_2 are formed on both sides of two silicon substrates, which are joined in the above-

mentioned method. Subsequently, polishing is done on one side of the substrate until the silicon thickness is several μm thick, and a circuit is formed on this using a planar technique. In this method, a high-quality silicon single crystal layer with the same quality as bulk can be utilized in circuit formation; hence, it operates satisfactorily even in finely structured circuits. Examples in which a memory circuit is formed in this method have been reported already.

However, the thermal conductivity of an element constructed in this kind of method whose insulator layer comprising silicon is inferior to an element comprising silicon only; hence, there are limitations to high-level integration and in applying an element requiring a lot of electric current.

(Problems Which the Invention Intends to Solve)

In the above-mentioned prior art, there was a problem because the heat dissipation property was poor since SiO_2 , whose thermal conductivity was poor, was used as the insulator layer.

The object of this invention is to prevent the heat dissipation property from being reduced while maintaining an SOI structure.

(Means Used to Solve the Problems)

The above-mentioned object is settled by using a substance with a satisfactory insulating property and thermal conductivity instead of SiO_2 which is the insulator layer.

The inventors of this invention proposed that the heat dissipation property of an element with an SOI structure could be

improved substantially by using diamond instead of SiO_2 as the insulator layer.

Generally, the coefficient of thermal conductivity of an insulator is substantially inferior to a metal, but of the insulators, diamond has an exceptionally large coefficient of thermal conductivity. In particular, it is known that the coefficient of thermal conductivity of all materials is high in the room temperature region.

In the past, diamond was synthesizable under high temperature and pressure. Recently, it has become evident that it can be synthesized at low pressure in a vapor phase growth method. For example, diamond that was formed on a substrate by ionizing a mixture of methane and hydrogen gases with microwave plasma and bombarding a silicon substrate heated with this gas is shown by M. Kamo, et al. in the Journal of Crystal Growth, Vol. 62, p. 341, 1985.

Diamond is used as a support for semiconductor lasers and the like which require that the heat dissipation property be higher than in the past because the coefficient of thermal conductivity of diamond is high. In addition, a thin-film diamond that is obtained, and furthermore, used as a heat-dissipating substrate in, for example, microwave amplifiers, extensively is shown in the publication of Tokkai No. 62-24547, which is entitled "Substrates for Mounting Semiconductor Elements". However, these substrate are only used simply as heat-dissipating substrates for semiconductor elements. Meanwhile, by utilizing the

semiconductive property of the diamond itself, the heat dissipation property is good and there have been attempts to produce elements that operate at high temperatures. But the technology for fabricating semiconductors from diamond or techniques for working them have not been perfected enough and it is difficult to render them practical at the present time.

By contrast, the purpose for using diamond as an SOI insulator is not simply to plan an improvement in thermal conductivity, but also to make silicon semiconductor elements higher in speed and resistant to radiation, which differs from what was mentioned above.

A method for producing an element with an SOI structure in which diamond is made the insulator layer will be shown next.

- (1) Form a diamond film on a substrate
- (2) Polish the diamond layer
- (3) Form a silicon thin film on the diamond layer in a vapor phase growth method
- (4) Laminate with a sheet of silicon single crystal
- (5) Polish the silicon single crystal layer
- (6) Form an electronic circuit

In addition, the method shown next is a possible modified example of this.

- (1') Form a diamond film on a substrate
- (2') Form a silicon layer on the diamond layer in a vapor phase growth method
- (3') Polish the silicon layer that was grown in the vapor phase

- (4') Laminate with a sheet of silicon single crystal
- (5') Polish the silicon single crystal layer
- (6') Form an electronic circuit

There are no restrictions if diamond is formable as a substrate and it withstands the subsequent heat treatment, etc. However, if the integrity of the coefficient of thermal expansion with the silicon in the circuit layer is considered and if the emphasis on the heat dissipation property is to be covered, a metal, such as nickel or copper, is preferable.

There are microwave plasma CVD methods, DC plasma CVD methods, thermal CVD methods, and the like for forming the diamond layer, and any of these methods may be used.

When diamond synthesis is performed by using a vapor phase growth method, it is known that the structure and shape of the product varies due to differences in the synthesis conditions thereof. In certain cases, a carbon compound containing hydrogen is contained, which is called diamond-like carbon. From the standpoint of the coefficient of thermal conductivity, a diamond with good crystallinity is preferable, but from the standpoint of practical use, it may be a diamond-like carbon.

Generally, the surface of the diamond synthesized in the above-mentioned method is not smooth; hence, it is necessary to smoothen the surface thereof in order to laminate it directly to silicon.

It is possible to laminate extremely pure, polished diamond on silicon. Although it is more preferable to use the process shown

in above-mentioned (3) in order to obtain a stronger lamination strength, the process shown in above-mentioned (3) can be omitted. That is, a stronger adhesive strength can be obtained by forming a silicon film on diamond in a method, such as vapor deposition, sputtering or CVD, and laminating a silicon single crystal to this. In this process, the diamond is polished first and then the silicon layer may be formed smoothly on it, or as stated in the modified example, the silicon layer can be formed directly on this in a vapor phase growth method, and then it can be polished subsequently in order to smoothen it without performing polishing of the diamond layer. In addition, a heat treatment is performed between the processes shown in (2') and or between (3') and (4'), which is effective for improving the lamination strength even if crystallization of the silicon layer formed in a vapor phase growth method is planned. After laminating the silicon single crystal, the fact that adhesion is further strengthened by performing a heat treatment or application of voltage is as stated in the aforesaid references.

The silicon single crystal layer that was laminated therein is polished to, e.g., a suitable thickness of about 5 μm and an electronic circuit is formed on this using the usual planar technique.

(Effects)

If the coefficient of thermal conductivities of SiO_2 and diamond are compared, the former is 0.1 J/cmKs and the latter is 23 J/cmKs; diamond is 200 times larger. This contributes

directly to the heat dissipation property of the element.
Further, this effect is even larger when a metal, such as nickel, is used as the substrate for diamond growth.

(Practical Examples)

<Practical Example 1>

An example of the element of the present invention is shown in Figure 1. This element comprises a substrate 1 comprising silicon, a diamond insulating layer 2 formed on that, and a silicon layer 3 having an electronic circuit laminated on this. An example of the method for manufacturing the element of the present invention is shown below.

An approximately 1 mm thick mirror-polished 2 cm square sheet of silicon was used as the substrate for forming the diamond layer. The surface of this silicon sheet was polished again by using a diamond paste with a 1 μm particle size.

This substrate was placed in a reactor and a gas in which hydrogen was mixed at a ratio of 0.5:99.5 was allowed to flow through it under 5 torr pressure. While heating the substrate to 800°C, the gas was ionized with microwaves and a diamond layer was formed on the substrate by bombarding the substrate with the plasma formed accordingly. The amount of time for irradiating the plasma was 10 hours and an approximately 5 μm thick diamond was grown.

The silicon sheet on which the diamond was grown was removed from the reactor, a base material was made from a pure iron

polished sheet, this was polished in hydrogen plasma, and the surface thereof was smoothed.

The surface of the silicon sheet, on which the diamond produced in this way was formed, was mirror polished, superpositioned on a silicon single crystal sheet subjected to a treatment for imparting hydrophilicity; and while applying weighting, a heat treatment was performed at 800°C under an inert atmosphere to laminate these together.

Subsequently, the laminated silicon single crystal sheet was polished 5 μm thick and a circuit was formed on this in the usual planar technique.

<Practical Example 2>

A nickel plate was used as the substrate, a diamond layer was formed in the same method as in Practical Example 1, a silicon single crystal sheet was then joined, and an electronic circuit was formed on that.

<Practical Example 3>

Diamond was formed on silicon in the method in Practical Example 1, the surface thereof was polished, after which an approximately 100 nm thick silicon layer was formed in a CVD method, and this was laminated on the silicon single crystal sheet. An electronic circuit was formed subsequently in the same method as in Practical Example 1.

<Practical Example 4>

Diamond was formed on a silicon substrate in the same method in Practical Example 1, and a 2 μm thick polysilicon layer was

formed on this in a CVD method. A polysilicon layer was mirror polished next and this was laminated on a silicon single crystal sheet. Subsequently, the silicon single crystal layer was polished and the circuit was formed on this as in Practical Example 1.

(Merits of the Invention)

According to the present invention, a semiconductor element with satisfactory heat dissipation property and an SOI structure can be fabricated.

4. Brief Description of the Figures

Figure 1 is a perspective view of the semiconductor element in a practical example of the present invention.

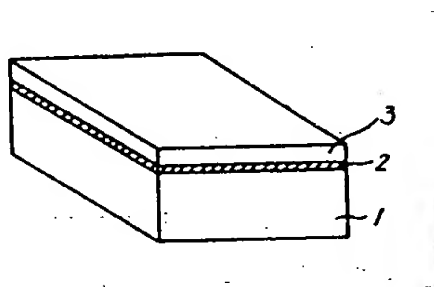


Figure 1

Key: 1) substrate; 2) diamond insulator layer; 3) silicon layer

公開特許公報(A) 平2-206118

Int.Cl.³H 01 L 21/314
21/205
21/31

識別記号

A
B

庁内整理番号

6810-5F
7739-5F
6810-5F

③公開 平成2年(1990)8月15日

審査請求 未請求 請求項の数 9 (全5頁)

④発明の名称 半導体素子

⑥特 願 平1-25801

⑥出 願 平1(1989)2月6日

⑦発 明 者 杉 本 博 幸 茨城県日立市久慈町4026番地 株式会社日立製作所日立研
究所内⑦発 明 者 村 中 康 茨城県日立市久慈町4026番地 株式会社日立製作所日立研
究所内⑦発 明 者 佐 藤 康 司 茨城県日立市久慈町4026番地 株式会社日立製作所日立研
究所内⑦発 明 者 五 味 憲 一 茨城県日立市久慈町4026番地 株式会社日立製作所日立研
究所内

⑦出 願 人 株式会社日立製作所 東京都千代田区神田駿河台4丁目6番地

⑦代 理 人 弁理士 小川 勝男 外2名

最終頁に続く

明 細 書

1. 発明の名称

半導体素子

2. 特許請求の範囲

1. SOI構造をもつ半導体素子において、絶縁
体層がダイヤモンドよりなることを特徴とする
半導体素子。2. 前記ダイヤモンド絶縁体層が、シリコン上に、
気相成長法により形成されたものであることを
特徴とする特許請求項1の半導体素子。3. 前記ダイヤモンド絶縁体層が、その上にダイ
ヤモンドの形成可能な金属、もしくは、合金上
に、気相成長法により形成されたものであるこ
とを特徴とする特許請求項1の半導体素子。4. 回路を形成するシリコン層が、ダイヤモンド
よりなる絶縁体層に張り合わされたシリコン単
結晶層であることを特徴とする特許請求項1、
2または3の半導体素子。5. 回路を形成するシリコン層が、ダイヤモンド
絶縁体層上に気相成長法により形成されたシリコン層と、シリコン単結晶との張り合わせによ
り形成されたものであることを特徴とする特許
請求項1、2または3の半導体素子。6. 基体上に気相成長法によりダイヤモンド絶縁
体層を形成し、これを平滑に研磨した後、この
上にシリコン単結晶を張り合わせ、前記シリコ
ン単結晶上に電子回路を形成することを特徴と
する特許請求項1、2または3の半導体素子の
製造方法。7. 基体上に気相成長法によりダイヤモンド絶縁
体層を形成し、これを平滑に研磨した後、その
上に気相成長法によりシリコン層を形成し、こ
の上にシリコン単結晶を張り合わせ、さらに、
前記シリコン単結晶上に電子回路を形成するこ
とを特徴とする特許請求項1の半導体素子の製
造方法。8. 基体上に気相成長法によりダイヤモンド絶縁
体層を形成し、その上に気相成長法によりシリ
コン層を形成した後、この表面を平滑に研磨し、
この上にシリコン単結晶を張り合わせ、さらに、

前記シリコン単結晶上に電子回路を形成することと特徴とする特許請求項1の半導体素子の製造方法。

9. 半導体素子が記憶素子であることを特徴とする特許請求項1, 2または3の半導体素子。

3. 発明の詳細な説明

(産業上の利用分野)

本発明は、シリコン半導体素子に係り、特に、SOI (silicon on insulator) 構造をもつ半導体素子に関する。

(従来の技術)

絶縁体上に厚さ数 μm のシリコン回路層を形成した、いわゆる、SOI素子は、通常の厚いシリコン層をもつ素子と比べて、高速度動作性、及び、耐放射線性に優れ、また、ラツチアップが起こりにくいという特徴をもつことが、「ICの主役をねらうSOSデバイス」(平野著、「日経エレクトロニクス」1974年12月16日号50ページ)などに示されている。

通常、この素子は、シリコン基板上に SiO_2

酸化皮膜を形成し、この上にシリコン層をCVDなどの気相成長法によりエピタキシャル成長させ、さらに、このエピタキシャルシリコン層上に回路を形成する。しかし、この場合、エピタキシャルシリコン層の結晶性がく、これがSOI素子開発上の最大のネックとなっていた。

このような中で、近年、シリコン同士、あるいは、 SiO_2 同士を、直接、接合する技術が注目されている。これは、極めて単純で、かつ、平面度の高いシリコン、あるいは、 SiO_2 同士を、真面に親水処理などを施した後、重ねあわせて加熱するか、あるいは、さらに高電圧を印加するなどの方法により接合するものである。そして現在、この直接接合法を用いてSOIの開発が進められていることが、例えば、「シリコン オン イン スレータ ハイ ボンディング アンド エツチーバック」ラスキー他、アイ イーイーイー インターナショナル エレクトロニクス デバイス ミーティング テクニカル ダイジェスト 第684頁、1985年12月("Silicon on Insulator

- 3 -

by Bonding and Etch-Back" Lasky et al, IEEE International Electron Device Meeting Technical Digest p. 684, Dec. 1985), あるいは、「ウエーハー張りあわせ技術」(日経マイクロエレクトロニクス、1988年3月号、82ページ)などに示されている。

すなわち、二枚のシリコン基板表面に SiO_2 よりなる酸化皮膜を形成し、これを上記の方法で接合する。その後、一方の基板を、シリコンの厚さが数 μm の厚さになる迄、研磨し、この上にプレーナ技術により、回路を形成する。この方法では、バルクと同質の高品質のシリコン単結晶層を回路形成に利用できるので、複雑な回路でも良好に作動する。既にこの方法によりメモリー回路を形成した例が報告されている。

しかし、このような方法により製造した素子は、 Si よりなる絶縁体層の熱伝導性がシリコンのみよりなる素子に比べて劣るため、高電圧の電圧化や、多くの電流を必要とする素子への応用に難点があった。

- 4 -

(発明が解決しようとする課題)

上記の従来技術では、絶縁体層として熱伝導性の悪い SiO_2 を用いているため素子の放熱性が悪いという問題点があった。

本発明の目的は、SOI構造を保ちつつ、放熱性の低下を防ぐことにある。

(課題を解決するための手段)

上記の目的は、絶縁体層である SiO_2 の代りに、絶縁性で、かつ、熱伝導性の良好な物質を用いることにより解決される。

発明者らは、絶縁体層として、 SiO_2 の代りにダイヤモンドを用い、SOI構造の素子の放熱性を大幅に向上させることを考案した。

一般に、絶縁体は金属に比べて熱伝導率が大幅に劣るが、この中で、ダイヤモンドは例外的に極めて大きな熱伝導率をもつ。とくに、室温領域では全ての材料中で最も熱伝導率が高いことが知られている。

従来、ダイヤモンドは高圧、超高温下でのみ合成可能であつたが、近年、気相成長法により、低

- 5 -

- 90 -

- 6 -

圧で合成できることが明らかになった。例えば、メタンと水素との混合ガスをマイクロ波プラズマにより電離し、このガスを加熱したシリコン板上にあてることにより、基板上にダイヤモンドが生成することが、R. Rao et al 著、Journal of Crystal growth, vol. 62, p. 341, 1985 に示されている。

ダイヤモンドは熱伝導率が高いため、従来より放熱性の高いことを要求される半導体レーザなどの発熱体として用いられており、また、導膜のダイヤモンドが得られるようになったことで、さらに、広い範囲で、例えば、マイクロ波の増幅器など放熱基板として用いることが、「半導体素子搭載基板」(特開昭62-24647号公報)に示されている。しかし、これらは単に半導体素子の放熱基板として用いられているに過ぎない。一方、ダイヤモンド自体の半導体的性質を利用して放熱性が良く、かつ、高温で作動する素子を作る試みもあるが、ダイヤモンドの半導体化技術や加工技術が十分には完成しておらず、現時点での実用化は

難しい。

これに対して、ダイヤモンドをSOIの絶縁体層として用いる場合には、単に、熱伝導性の向上を図るのではなく、シリコン半導体素子の高速化や耐放射線性を目的とするものであり、前述のものとは異なる。

次に、ダイヤモンドを絶縁体層とするSOI構造の素子の作成方法を示す。

- (1) 基板へのダイヤモンド膜の形成
- (2) ダイヤモンド層の研磨
- (3) ダイヤモンド層上への気相成長法によるシリコン導膜の形成
- (4) シリコン単結晶膜の張り合わせ
- (5) シリコン単結晶層の研磨
- (6) 電子回路の形成

また、この変形例として、次に示す方法も可能である。

- (1') 基板へのダイヤモンド膜の形成
- (2') ダイヤモンド層上への気相成長法によるシリコン層の形成

- (3') 気相成長させたシリコン層の研磨
- (4') シリコン単結晶膜の張り合わせ
- (5') シリコン単結晶層の研磨
- (6') 電子回路の形成

基板としてダイヤモンドが形成可能で、かつ、この後の熱処理などに耐えるものであれば、とくに、制限は無い。しかし、回路層のシリコンとの熱膨張率の適合性を考えると、シリコンが、また、放熱性に重点を置くとニッケルや銅などの金属が好ましい。

ダイヤモンド層の形成には、マイクロ波プラズマCVD法、DCプラズマCVD法、熱CVD法などがあり、いずれを用いてもよい。

気相成長法を用いてダイヤモンドの合成を行なった場合、その条件の違いにより生成物の組成や形態が異なることが知られており、ある場合にはダイヤモンド状態素とよばれる水素を含んだ炭素化合物が得られる。熱伝導率の点から、結晶性の良いダイヤモンドがより好ましいが、実用上はダイヤモンド状態素であつてもよい。

一般に、上記の方法で合成したダイヤモンドの表面は平滑ではないため、これを、直接、シリコンと張り合わせるためには、その表面を平滑化する必要がある。

極めて平滑で、かつ、研磨されたダイヤモンドはシリコンと張り合わせることが可能であり、上記(3)に示した過程は省略することができる。しかし、より強い張り合わせ強度を得るためには、(3)の過程を用いることがより好ましい。すなわち、ダイヤモンド上にシリコン導膜を、蒸着、スパッタリング、あるいは、CVDなどの方法により形成し、これとシリコン単結晶とを張り合わせることにより、より強い接着強度を得ることができる。この過程では、まず、ダイヤモンドを研磨し、これに平滑にシリコン層を気相成長法で形成しても良いし、あるいは、変形例で述べたように、ダイヤモンド層の研磨を行なわず、この上に、直接、シリコン層を気相成長法で形成し、その後に平滑化のための研磨を行なつても良い。また、(2')と(3')で示した過程の間、あるいは、

(3') と (4') とで示した通常の間に熱処理を行ない、気相成長法により形成したシリコン層を結晶化を促すことも、張りあわせ強度を向上させるのに有効である。シリコン単結晶を張り合わせた後、熱処理や、電圧の印加を行なうことにより、接着がさらに強固になることは前述の文段に述べられている通りである。

このうち張り合わせたシリコン単結晶層を、例えば、5 μ m 程度の適当な厚さに研磨し、この上に通常のプレーナ技術により電子回路を形成する。
〔作用〕

SiO₂ とダイヤモンドとの熱伝導率を比べると、前者が 0.1 J/cmKs であるのに比べ後者は 23 J/cmKs であり、ダイヤモンドの方が二百倍以上も大きい。これが素子の放熱性に、直接、寄与する。さらに、この効果は、ダイヤモンド成長の基板としてニッケルなどの金属を用いた場合、さらに大きい。

〔実施例〕

〈実施例 1〉

- 11 -

水素プラズマ中で研磨し、その表面を平滑化した。

このようにして作成したダイヤモンド層を形成したシリコン板を、表面を鏡面研磨し、かつ、親水化処理を施したシリコン単結晶板と重ね合わせ、加重をかけつつ不活性雰囲気下で 800℃ で加熱処理を行ない両者を張り合わせた。

その後、張り合わせたシリコン単結晶板を 5 μ m の厚さに研磨し、この上に、通常のプレーナ技術により回路を形成した。

〈実施例 2〉

基板としてニッケル板を用い、これに実施例 1 と同様の方法でダイヤモンド層を形成し、さらに、シリコン単結晶板を接合して、その上に電子回路を形成した。

〈実施例 3〉

実施例 1 の方法でシリコン上にダイヤモンドを形成し、その表面を研磨後、CVD 法により厚さ約 100 nm のシリコン層を形成し、これをシリコン単結晶板と張り合わせた。その後、実施例 1 と同様の方法により電子回路を形成した。

- 13 -

本発明の素子の一例を、図 1 図に示す。本素子は、シリコンよりなる基板 1、その上に形成されたダイヤモンドの絶縁層 2、および、これに張り合わせられた電子回路をもつシリコン層 3 よりなる。以下に、本発明の素子の製造方法の一例を示す。

大きさ 2 cm 角、厚さ約 1 mm の、表面を鏡面研磨したシリコン板をダイヤモンド層形成の基板とした。このシリコン板の表面を粒径 1 μ m のダイヤモンドペーストを用いてさらに研磨した。

この基板を反応管中に置き、圧力 5 torr 下で、メタン、水素を 0.5 : 99.5 の割合で混合したガスを流した。基板を 800℃ で加熱しつつ、マイクロ波によりガスを電離させ、これにより形成させたプラズマを基板に当てることにより、基板上にダイヤモンド層を形成した。プラズマの照射時間は 10 時間とし、これにより、厚さ約 5 μ m のダイヤモンドが成長した。

つぎに、ダイヤモンドを成長させたシリコン板を取り出し、これを純鉄性の研磨板を基体とし、

- 12 -

〈実施例 4〉

実施例 1 と同様の方法でシリコン基板上にダイヤモンド層を形成し、この上に CVD 法により、厚さ 2 μ m のポリシリコン層を形成した。次に、ポリシリコン層を鏡面研磨し、これをシリコン単結晶板と張り合わせた。その後、実施例 1 と同様に、シリコン単結晶層と研磨し、この上に回路を形成した。

〔発明の効果〕

本発明によれば、放熱性の良好な SOI 構造の半導体素子を作ることができる。

4. 図面の簡単な説明

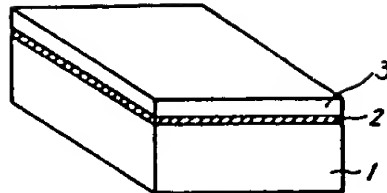
第 1 図は本発明の一実施例の半導体素子の斜視図である。

1…シリコン基板、2…ダイヤモンド絶縁体層、3…シリコン回路層。

代理人 弁理士 小川 勝男



第 1 図



第 1 頁の続き

④発 明 者 望 月 康 弘 茨城県日立市久慈町4026番地 株式会社日立製作所日立研
究所内